

**DATA CONSTITUTING SYSTEM**

Patent Number:

JP1106369

Publication date:

1989-04-24

Inventor(s):

YAMADA KAZUYA; others: 03

Applicant(s)::

VICTOR CO OF JAPAN LTD

Requested Patent:

 JP1106369

Application Number: JP19870264294 19871020

Priority Number(s):

IPC Classification: G11B20/12 ; G11B20/18

EC Classification:

Equivalents:

**Abstract**

**PURPOSE:** To transmit a digital sound signal to execute recording and reproducing synchronously with a video signal different in field frequency by fixing a one directional word length out of the two directional word lengths of the matrix of a code word to which a double-constitutional error correcting code is added and making the other directional word length variable.

**CONSTITUTION:** A memory map to constitute a double read Solomon code in the case of an NTSC system constitutes a C1 direction with 61 and 56, and a C2 direction with 59 and 54, and the memory map to constitute the double read Solomon code in the case of a PAL system constitutes the C1 direction with 61 and 56, and the C2 direction with 69 and 64. Namely, the C1 direction is made into the same, and the number of parities is made into the same, and only the number of data (the number of symbols) is made variable only concerning the C2 direction. Since the number of the code words is increased in the C1 directional error correction, and since the word length of each code word becomes longer in the C2 directional error correction by the above-mentioned constitution, by changing the counter value of the code word and the arithmetic counter value of each code word respectively, the both two directional word lengths can be corresponding to the change of the memory map.

Data supplied from the esp@cenet database - I2

NTSC, PALの  
VC-3で記入

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

## ⑪ 公開特許公報 (A) 平1-106369

⑤ Int. Cl. G 11 B 20/12 20/18	識別記号 101 102	庁内整理番号 8524-5D 6733-5D	⑥ 公開 平成1年(1989)4月24日
⑦ 審査請求 未請求 発明の数 1 (全6頁)			

⑧ 発明の名称 データ構成方式

⑨ 特願 昭62-264294

⑩ 出願 昭62(1987)10月20日

⑪ 発明者 山田 和也 神奈川県横浜市神奈川区守屋町3丁目12番地 日本ピクタ  
ー株式会社内

⑫ 発明者 西川 和典 神奈川県横浜市神奈川区守屋町3丁目12番地 日本ピクタ  
ー株式会社内

⑬ 発明者 山田 恒裕 神奈川県横浜市神奈川区守屋町3丁目12番地 日本ピクタ  
ー株式会社内

⑭ 発明者 田中 耕治 神奈川県横浜市神奈川区守屋町3丁目12番地 日本ピクタ  
ー株式会社内

⑮ 出願人 日本ピクター株式会社 神奈川県横浜市神奈川区守屋町3丁目12番地

### 明細書

#### 1. 発明の名称

データ構成方式

#### 2. 特許請求の範囲

(1) 所定記長のデジタル信号をデータ列として、複数のデータ列からなるデータワードに二重構成の誤り訂正符号を付加した所定の行列数で完結する符号語を構成するデータ構成方式であって、

前記二重構成の誤り訂正符号を付加した符号語の行列の2方向の記長のうちの一方の記長を固定し、その他の方向の記長を可変させて構成するようにしたことを特徴とするデータ構成方式。

(2) 符号語の他方向の記長は、それを構成するパリティ及びデータのうちデータのシンボル数のみを可変せしるようにしたことを特徴とする特許請求の範囲第1項記載のデータ構成方式。

#### 3. 発明の詳細な説明

##### (産業上の利用分野)

本発明はデータ構成方式に係り、特に所定記長のデジタル信号をデータ列として、複数のデータ

列からなるデータワードに二重構成の誤り訂正符号を付加した所定の行列数で完結する符号語を構成するデータ構成方式に関する。

##### (従来の技術)

近年、コンパクト・ディスク (CD) やデジタル・オーディオ・ディスク (DAT) にみられるように、AV機器において音声信号のデジタル化による音声の高品質化が実現されている。また、ビデオディスクにおいても音声信号のデジタル化により高品質な音声の再生が可能となるシステムが開発され、ビデオディスクにおける音声信号のデジタル化が実現されている。

##### (発明が解決しようとする問題)

ここで、上記のビデオディスクにおける同一システムにおいて、ある区間 (例えば、ビデオ信号の1フィールド区間) に伝送すべきデータ数が変化する場合、そのメモリマップの構成は、最大のデータ数をもつ方式を基本にしたインターリーフの構成及び誤り訂正符号の符号語の構成をもとに決められている。例えば、NTSC方式とPAL

方式は、フィールド周波数が異なるので、1フィールド周期に伝送すべきデータ数(サンプル数)が変化する。

また、DATのようにデータ数の少ない方式では、メモリ構成において必要でない部分については“0”として、符号語の構成に影響のない方法により対応している。

ところが、このような方法では、符号の誤り訂正演算の方法は同一で良いが、より少ないデータ数の場合、余分な演算を行なっていることになり、特に、より多くの演算を必要とする誤り訂正においては、効率的ではない。また、余分なデータ(“0”)を伝送しなければならないので、それだけ記録媒体に対しての記録密度が低下するといった問題点がある。

そこで、本発明は上記した従来の技術の問題点を解決したデータ構成方式を提供することを目的とする。

#### (問題点を解決するための手段)

本発明は上記の目的を達成するために、所定器

矢印の方向である。

第2図は本発明方式によるPAL方式の場合の二重リードソロモン符号を構成するメモリマップを示す図である。

同図において、C1方向は(61, 56)、C2方向は(69, 64)で構成されており、符号の方向は矢印の方向である。

第1図のものと第2図のものとを比較すると、C1方向は同一とし、C2方向についてのみバリティの数は同じとし、データの数(シンボル数)のみが第2図のものを増加(可変)させている。

以上のようにNTSC/PAL方式のメモリマップを構成、すなわちC1方向は固定し、C2方向のみを変化させた場合、C1方向の誤り訂正については、符号語の数が増えるので、符号語をカウントするカウンタの値を、C2方向の誤り訂正については、各符号語の語長が長くなるので、各符号語の演算カウンタの値を、それ変えることによりメモリマップの変化に対応することができる。

このデュアル符号をデータ列として、複数のデータ列からなるデータワードに二重構成の誤り訂正符号を付加した所定の行列数で完結する符号語を構成するデータ構成方式であって、前記二重構成の誤り訂正符号を付加した符号語の行列の2方向の語長のうちの一方の語長を固定し、その他の方向の語長を可変させて構成するようにしたことを特徴とするデータ構成方式を提供するものであり、更に、符号語の他の方向の語長は、それを構成するバリティ及びデータのうちデータのシンボル数のみを可変させるようにしたことを特徴とするものである。

#### (実施例)

本発明になるデータ構成方式の一実施例について、以下に図面と共に説明する。

第1図は本発明方式によるNTSC方式の場合の二重リードソロモン符号を構成するメモリマップを示す図である。

同図において、C1方向は(61, 56)、C2方向は(59, 54)で構成されており、符号の方向は

第3図及び第4図は第1図及び第2図に示すNTSC/PAL方式の場合のメモリマップに対してC1方向の符号誤演算について必要なアドレスを発生するためのプロック系統図である。

第3図において、1はS入力(NTSC/PAL)によって出力(デコード値)が変化するデコードプロックであり、その詳細な構成は第4図に示す。

デコードプロック1の入力IN(B, A)には、上位アドレス発生カウンタ(アップカウンタ)2の出力OUTが入力され、NTSC/PALの両方式に対してそれぞれ“58/68”的入力値で出力OUT(Y)に“H”を発生する。すなわち、S入力が“H”的NTSC方式の時、“58”的入力値で出力OUT(Y)に“H”を発生する。また、S入力が“L”的PAL方式の時、“68”的入力値で出力OUT(Y)に“H”を発生する。

上位アドレス発生カウンタ2は、アドレスカウントクロックにより、デコードプロック3の出力OUTが“H”的時にインクリメント(加算)する。また、上位アドレス発生カウンタ2は、デコード

プロック1の出力OUTが“H”になっている時、クリアパルスにより、次のクロックでクリアされる（“0”となる）。

デコードプロック3は、下位アドレス発生カウントタ（アップカウンタ）4の出力OUTが“60”の時、その出力OUTに“H”を発生する。

下位アドレス発生カウンタは、アドレスカウントクロックによりインクリメントし、その出力が“60”的時にデコードプロック3で発生するクリアパルスにより、次のクロックでクリアされる（“0”となる）。

アドレスラッチ5は、上位アドレス発生カウンタ2、下位アドレス発生カウンタ4でそれぞれ発生したアドレスをアドレスクロックでラッチして、それをアドレスバスに送る。

データラッチ6は、アドレスラッチ5のアドレスに応じたデータをデータバスより取り込み、その出力を誤り訂正演算回路に送る。

第5図及び第6図は第1図及び第2図に示すNTSC/PAL方式の場合のメモリマップに対し

時、その出力OUTに“H”を発生する。

下位アドレス発生カウンタ10は、上位アドレス発生カウンタ8でボロウが発生した時にアドレスカウントクロックにより“1つ”インクリメント（加算）し、その出力が“60”的時にデコードプロック9で発生するクリアパルスにより、次のクロックでクリアされる（“0”となる）。

アドレスラッチ11は、上位アドレス発生カウンタ8、下位アドレス発生カウンタ10でそれぞれ発生したアドレスをアドレスクロックでラッチして、それをアドレスバスに送る。

データラッチ12は、アドレスラッチ11のアドレスに応じたデータをデータバスより取り込み、その出力を誤り訂正演算回路に送る。

次に、上記した構成による本発明方式の動作を説明する。

まず、C1方向の符号語演算について第3図及び第4図と共に説明する。符号語を構成するメモリマップは第1図及び第2図に示すような構成である。

てC2方向の符号語演算について必要なアドレスを発生するためのプロック系構成である。

第5図において、7はS入力(NTSC/PAL)によって出力(デコード出)が変化するデコードプロックであり、その詳細な構成は第6図に示す。

このデコードプロック7は、NTSC/PALの両方式に対してそれぞれ58/68の入力値で出力OUT(Y)に“H”を発生し、上位アドレス発生カウンタ(ダウンカウンタ)8の入力に供給する。すなわち、S入力が“H”的NTSC方式の時、“58”的入力値で出力OUT(Y)に“H”を発生する。また、S入力が“L”的PAL方式の時、“68”的入力値で出力OUT(Y)に“H”を発生する。

上位アドレス発生カウンタ8は、アドレスカウントクロックにより、デコードプロック7からの入力値よりデクリメント(減算)していくと、“0”になった時、ボロウを出して再びデコードプロック7からの入力値をロードする。

デコードプロック9は、下位アドレス発生カウンタ(アップカウンタ)10の出力OUTが“60”的

C1方向については、NTSC/PAL方式の変化に対しては符号語の個数が変化するだけで器長は変化しない。

C1方向の誤り訂正演算は、上位アドレス発生カウンタ2によって上位アドレスを固定し、下位アドレス発生カウンタ4によって下位アドレスのみを順次増加していくことで必要なデータのアドレスを発生し、データが順次読み出される。更に、1符号語の個数である61回のアドレスを発生したところで、1符号語の演算が終了し、下位アドレス発生カウンタ4はデコードプロック3の出力によってクリアされて“0”になり、上位アドレス発生カウンタ2は“1つ”インクリメント(加算)される。

また、C1符号語については、NTSC/PAL方式により個数が変化するだけ、すなわち上位アドレスのカウント値が異なるだけなので、上位アドレス発生カウンタ2の出力をデコードする回路を、デコードプロック1によってNTSC方式では“58”に、PAL方式では“68”にすることに

より、荷物満算に必要なアドレスを発生することができる。そして、データラッシュ6を介してデータを読み訂正満算回路に送る。

次に、C2方向の符号翻訳操作について第5図及び第6図と共に説明する。

C2 方向については、各符号語の並び訂正済みは、下位アドレス発生カウンタ10によって下位アドレスを固定し、上位アドレス発生カウンタ8によって上位アドレスをメモリマップの最大値から順次“1つ”ずつデクリメント（減算）することにより、必要なアドレスを発生し、データが順次読み出される。

また、1符号語の演算が終了することに、下位アドレス発生カウンタ10は“1つ”インクリメント（加算）される。更に、1符号語の語数は“61”なので、下位アドレスが“60”になった時、1符号語の演算が終了し、下位アドレス発生カウンタ10はデコードプロック9の出力によってクリアされて“0”になる。

また、NTSC/PALの両方式への対応は、

上位アドレスを発生するダウンカウンタ（上位アドレス発生カウンタ8）の初期値をそれぞれ“58”、“68”とすることで対応できる。

読み出されたデータは、既に訂正演算回路に送られ処理される。

なお、メモリマップの構成は、第1図及び第2図に限らず、第7図(a)、(b)のようにC2方向を固定し、C1方向を変化させるようにしても良い。また、バリティの位置も第8図(a)、(b)、(c)のようにしても良い。

(発明の効果)

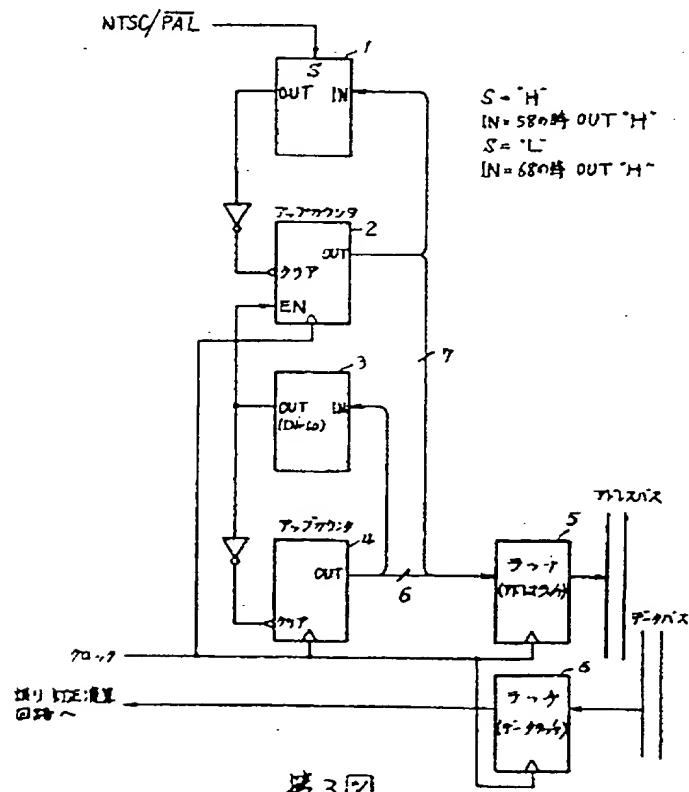
以上の如く、本発明になるデータ構成方式によれば、ある区間に伝送すべきデータ数（サンプル数）が変化する場合に、信号フォーマットを大幅に変更することなく、また、ハードウェアの変更も少なくて対応することができ、また、従来の方式のように余分なデータ（“0”）を伝送する必要がないので、その分、記録媒体に対しての記録密度を高くすることができ、更に、例えば、NTSC方式とPAL方式のようにフィールド周波数

の異なるビデオ信号に同期して記録再生を行なうデジタル音声信号の伝送（記録／再生）に好適であるといった特長を有する。

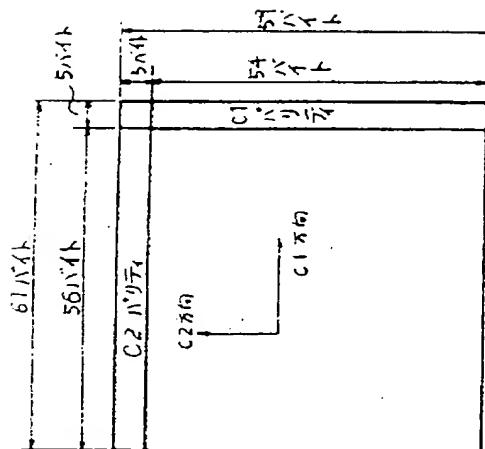
#### 4. 図面の簡単な説明

第1図は本発明方式によるNTSC方式の場合の二重リードソロモン符号を構成するメモリマップを示す図、第2図は同じくPAL方式の場合の二重リードソロモン符号を構成するメモリマップを示す図、第3図及び第4図はC1方向の符号演算について必要なアドレスを発生するためのプロック系統図、第5図及び第6図はC2方向の符号演算について必要なアドレスを発生するためのプロック系統図、第7図及び第8図はメモリマップの構成の応用例を示す図である。

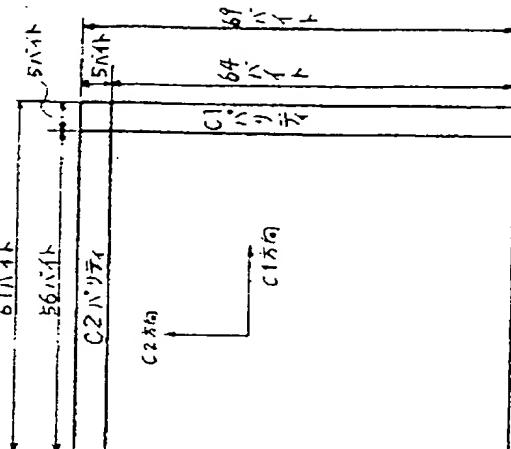
- 1, 3, 7, 9 … デコードブロック、
- 2, 8 … 上位アドレス発生カウンタ、
- 4, 10 … 下位アドレス発生カウンタ、
- 5, 11 … アドレスラッシュ、 6, 12 … データラッシュ。



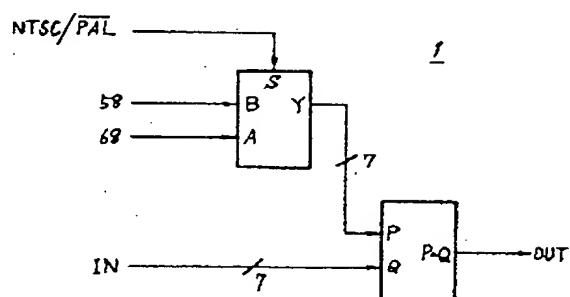
第3章



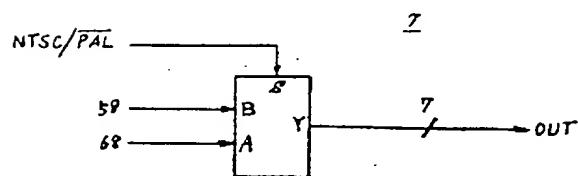
第1図



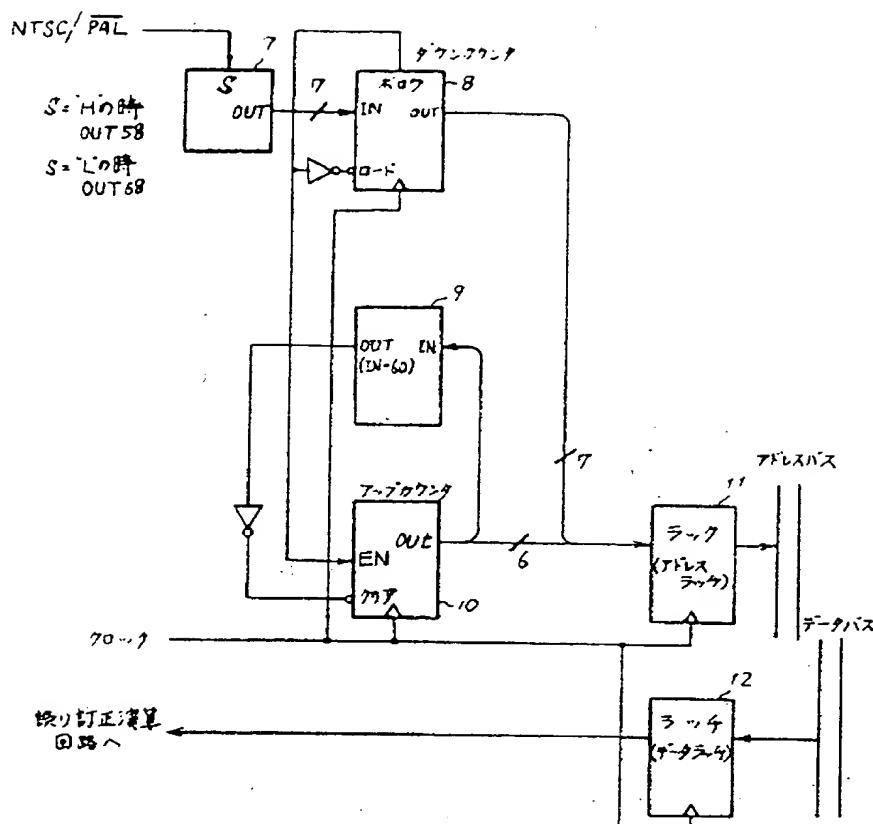
第2図



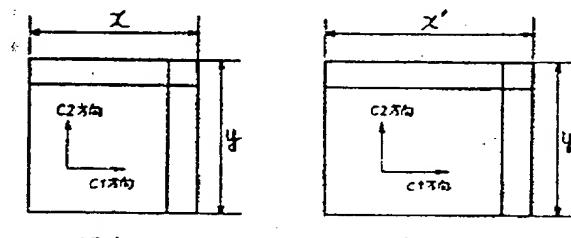
第4図



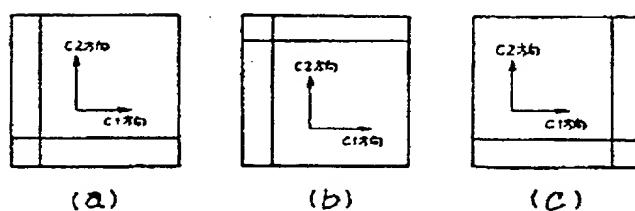
第6図



第五圖



第7回



第8圖